

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-15403  
(P2001-15403A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/027

H 0 1 L 21/30

5 0 2 M 5 F 0 3 3

G 0 3 F 9/00

G 0 3 F 9/00

H 5 F 0 4 6

H 0 1 L 21/768

H 0 1 L 21/90

B

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平11-181878

(22) 出願日 平成11年6月28日 (1999.6.28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小池 英敏

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F033 HH07 HH08 HH13 HH18 JJ19

KK01 KK08 MM08 MM13 NN01

PP06 PP27 QQ19 QQ27 QQ30

QQ37 QQ48 RR04 RR06 RR15

VV00 VV07 XX00 XX01 XX36

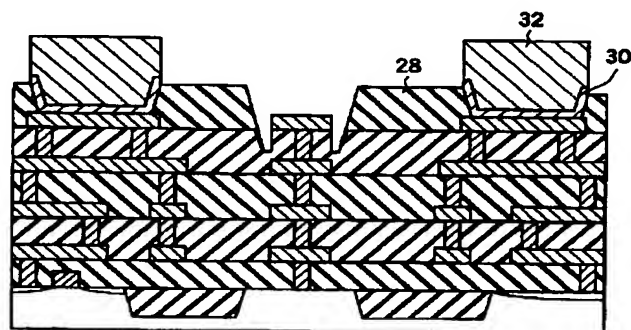
5F046 EA13 EA18 EA19 EB07

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 パッド開口工程に際してアライメントマークが側面までオーバーエッチングされて露出しても、その後の工程でアライメントマークが剥がれてしまうことを防止し、ヒューズブロー時にヒューズブロー用のアライメントマークの検出を可能とする。

【解決手段】 半導体基板11と、半導体基板上に形成された多層配線の最上層に形成されたアライメントマーク27aと、アライメントマークの下層の絶縁層に形成されたコンタクトホールに埋め込み形成され、アライメントマークがコンタクトしたプラグ26とを具備する。



1

## 【特許請求の範囲】

## 【請求項1】 半導体基板と、

前記半導体基板上に形成された多層配線の最上層に形成されたアライメントマークと、  
前記アライメントマークの下層の絶縁層に形成されたコンタクトホールに埋め込み形成され、前記アライメントマークがコンタクトしたプラグとを具備することを特徴とする半導体装置。

【請求項2】 前記プラグは導電体であり、前記多層配線の最上層以外の下層に形成された配線を通して前記半導体基板に電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記多層配線上に形成されたパッシベーション膜をさらに具備し、前記パッシベーション膜のうちの前記アライメントマーク上に対応する部分は除去されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記多層配線の最上層に形成されたボンディングパッドと、  
前記多層配線上に形成されたパッシベーション膜とをさらに具備し、前記パッシベーション膜のうちの前記ボンディングパッド上に対応する部分は除去されていることを特徴とする1乃至3のいずれか1項に記載の半導体装置。

【請求項5】 前記ボンディングパッド上に形成されたバンプをさらに具備することを特徴とする請求項4記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置に係り、特に多層配線の最上層にアライメントマークが形成された半導体装置に関する。

## 【0002】

【従来の技術】 半導体メモリの高密度化、大容量に伴って、チップ全体が無欠陥であることを要求することは不可能になっており、不良救済回路を内蔵した冗長構成（リダンダンシー）を採用することがメモリLSIおよびメモリ混載LSIの常識となっている。

【0003】 不良セルに替わってスペアセルを使用するためには、通常、テスターによって検出した不良セルの番地を記憶した後、ポリシリコンやアルミなどの配線層で形成されたヒューズをレーザーによって溶断（ブロー）し、不良セルに替わってスペアセルが選択されるようにする技術が一般的である。

【0004】 このヒューズをブローするために、位置合わせのためのアライメントマークが最上層のメタル配線層で形成されている。

【0005】 図9乃至図17は、アライメントマークを4層メタル配線構造を有するLSIに適用した場合の従来の製造工程を示している。

2

【0006】 まず、図9に示すように、シリコン基板11上に素子分離領域13を形成し、さらに拡散層14のような受動素子やMOSFET（ゲート電極を15で示す）のような能動素子を素子分離領域13以外の領域に形成する。なお、12の領域は、後にダイシングラインとなるチップ間領域であり、このダイシングライン領域12上に各種アライメントマークが配置される。

【0007】 次に、図10に示すように、BPSG膜のような第1層間絶縁膜16を堆積し、CMP（化学機械研磨）法を用いて第1層間絶縁膜16を平坦化する。その後、フォトリソグラフィ法を用いて第1コンタクトホールを開口し、第1タングステン17をCVD（化学気相成長）法を用いてコンタクトホールに埋め込む。さらに、第1アルミ18を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターニングする。

【0008】 次に、図11に示すように、SiO<sub>2</sub>膜のような第2層間絶縁膜19を堆積し、CMP法を用いて第2層間絶縁膜19を平坦化する。その後、フォトリソグラフィ法を用いて第2コンタクトホールを開口し、第2タングステン20をCVD法を用いてコンタクトホールに埋め込む。さらに、第2アルミ21を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターニングする。

【0009】 次に、図12に示すように、SiO<sub>2</sub>膜のような第3層間絶縁膜22を堆積し、CMP法を用いて第3層間絶縁膜22を平坦化する。その後、フォトリソグラフィ法を用いて第3コンタクトホールを開口し、第3タングステン23をCVD法を用いてコンタクトホールに埋め込む。さらに、第3アルミ24を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターニングする。

【0010】 次に、図13に示すように、SiO<sub>2</sub>膜のような第4層間絶縁膜25を堆積し、CMP法を用いて第4層間絶縁膜25を平坦化する。その後、フォトリソグラフィ法を用いて第4コンタクトホールを開口し、第4タングステン26をCVD法を用いてコンタクトホールに埋め込む。さらに、第4アルミ27を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターニングする。

【0011】 これにより、第4アルミ27からなるメタルヒューズあるいはボンディングパッドが形成され、また、第4アルミ27の一部27aがアライメントマークとなる。

【0012】 次に、図14に示すように、Si<sub>3</sub>N<sub>4</sub>膜のようなパッシベーション膜28を堆積し、フォトリソグラフィ法を用いて、ボンディングパッド29上のパッシベーション膜28をエッチングし、開口する。この時、ダイシングライン領域12のアライメントマーク27a上のパッシベーション膜28も、クラックを防止するためにエッチングされるので、アライメントマーク27aはオーバー

3

エッチングされ露出する。

【0013】上記したようにパッド開口工程に際してアライメントマーク27aが側面までオーバーエッチングされて露出すると、その後の工程で、図15に示すようにアライメントマーク27aが剥がれてしまうことがたびたび起きる。アライメントマーク27aが剥がれた結果、ヒューズブロー用のアライメントマーク27aを検出できなくなり、ヒューズブローができなくなるという問題が発生する。

【0014】また、図14に示した工程の後に、パンプ（電極形成）工程を行うと、別の問題点も発生する。これについて、図16乃至図17を参照して説明する。

【0015】図14に示した工程の後、図16に示すように、Ti/Ni/Pdのようなバリアメタル30を堆積し、パンプを形成しようとするボンディングパッド29の上方のバリアメタル30を開口するようにフォトレジスト31を形成する。そして、電解メッキ法などの手法により、ボンディングパッド29上のバリアメタル30上にAuパンプ32を成長させる。

【0016】次に、図17に示すように、フォトレジスト31を除去した後、パッシベーション膜28上に露出しているバリアメタル30を王水、エチレンジアミンテトラ酢酸などの溶液で除去し、Auパンプ32は残す。

【0017】この際、これまでの工程で第4アルミのみで形成されたアライメントマーク27aは、電氣的にフローティング状態になっており、チャージアップが可能な状態になっている。したがって、図17に示したように、パッシベーション膜28上に露出しているバリアメタル30を王水、エチレンジアミンテトラ酢酸などの溶液で除去する時に、前記アライメントマーク27aがチャージアップした状態になっていると、バリアメタル30下のアルミ（アライメントマーク27a）までエッチングされてしまう。

【0018】これにより、これまでの工程で形成されたアライメントマーク27aが腐食状態のアライメントマーク33になってしまう。したがって、ヒューズブロー用のアライメントマーク33を検出できなくなり、ヒューズブローができなくなるという問題が発生する。

【0019】

【発明が解決しようとする課題】上記したように従来の半導体装置は、パッド開口工程に際してアライメントマークが側面までオーバーエッチングされて露出し、その後の工程でアライメントマークが剥がれてしまうことがたびたび起き、ヒューズブロー時にヒューズブロー用のアライメントマークを検出できなくなり、ヒューズブローができなくなるという問題があった。

【0020】また、パンプ工程に際して、パンプ電極部以外の領域に露出しているバリアメタルを溶液で除去する時にバリアメタル下のアライメントマークまでエッチングされ、ヒューズブロー時にヒューズブロー用のアラ

4

イメントマークを検出できなくなり、ヒューズブローができなくなるという問題があった。

【0021】本発明は上記の問題点を解決すべくなされたもので、パッド開口工程に際してアライメントマークが側面までオーバーエッチングされて露出しても、その後の工程でアライメントマークが剥がれてしまうことを防止し、ヒューズブロー時にヒューズブロー用のアライメントマークの検出を可能とする半導体装置を提供することを目的とする。

【0022】また、本発明の他の目的は、パンプ電極部以外の領域に露出しているバリアメタルを溶液で除去する時にバリアメタル下のアライメントマークまでエッチングされてしまうことを防止し、ヒューズブロー時にヒューズブロー用のアライメントマークの検出を可能とする半導体装置を提供することにある。

【0023】

【課題を解決するための手段】本発明の第1の半導体装置は、半導体基板と、前記半導体基板上に形成された多層配線の最上層に形成されたアライメントマークと、前記アライメントマークの下層の絶縁層に形成されたコンタクトホールに埋め込み形成され、前記アライメントマークがコンタクトしたプラグとを具備することを特徴とする。

【0024】また、本発明の第2の半導体装置は、第1の半導体装置において、前記プラグは導電体であり、前記多層配線の最上層以外の下層に形成された配線を通して前記半導体基板に電氣的に接続されていることを特徴とする。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0026】＜第1の実施の形態＞図1乃至図8は、本発明の第1の実施の形態に係るアライメントマークを4層メタル配線構造を有するLSIに適用した場合の製造工程を示している。

【0027】まず、図1に示すように、シリコン基板11上に素子分離領域13を形成し、さらに拡散層14のような受動素子やMOSFET（ゲート電極を15で示す）のような能動素子を素子分離領域13以外の領域に形成する。なお、12の領域は、後にダイシングラインとなるチップ間領域であり、このダイシングライン領域12上に各種アライメントマークが配置される。

【0028】次に、図2に示すように、BPSG膜のような第1層間絶縁膜16を堆積し、CMP法を用いて第1層間絶縁膜16を平坦化する。その後、フォトリソグラフィ法を用いて、拡散層14上やMOSFETのソース領域あるいはドレイン領域上に対応して第1層間絶縁膜16に第1コンタクトホールを開口し、第1タングステン17をCVD法を用いてコンタクトホールに埋め込む。この際、ダイシングライン領域12の第1層間絶縁膜16にも第1コ

5

ンタクトホールを開口し、第1タングステン17を埋め込む。

【0029】さらに、第1アルミ18を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターンニングすることにより、第1アルミ18からなる配線を形成するとともに、ダイシングライン領域12の第1コンタクトホールに埋め込まれた第1タングステン17上にも接続パターン部18aを形成する。

【0030】次に、図3に示すように、 $\text{SiO}_2$ 膜のような第2層間絶縁膜19を堆積し、CMP法を用いて第2層間絶縁膜19を平坦化する。その後、フォトリソグラフィ法を用いて、前記第1アルミ18からなる配線および接続パターン部18a上に対応して第2層間絶縁膜19に第2コンタクトホールを開口し、第2タングステン20をCVD法を用いてコンタクトホールに埋め込む。

【0031】さらに、第2アルミ21を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターンニングすることにより、第2アルミ21からなる配線を形成するとともに、ダイシングライン領域12の第2コンタクトホールに埋め込まれた第2タングステン20上にも接続パターン部21aを形成する。

【0032】次に、図4に示すように、 $\text{SiO}_2$ 膜のような第3層間絶縁膜22を堆積し、CMP法を用いて第3層間絶縁膜22を平坦化する。その後、フォトリソグラフィ法を用いて、前記第2アルミ21からなる配線および接続パターン部21a上に対応して第3層間絶縁膜22に第3コンタクトホールを開口し、第3タングステン23をCVD法を用いてコンタクトホールに埋め込む。

【0033】さらに、第3アルミ24を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターンニングすることにより、第3アルミ24からなる配線を形成するとともに、ダイシングライン領域12の第3コンタクトホールに埋め込まれた第3タングステン23上にも接続パターン部24aを形成する。

【0034】次に、図5に示すように、 $\text{SiO}_2$ 膜のような第4層間絶縁膜25を堆積し、CMP法を用いて第4層間絶縁膜25を平坦化する。その後、フォトリソグラフィ法を用いて、前記第3アルミ24からなる配線および接続パターン部24a上に対応して第4層間絶縁膜25に第4コンタクトホールを開口し、第4タングステン26をCVD法を用いてコンタクトホールに埋め込む。

【0035】さらに、第4アルミ27を全面に堆積し、フォトリソグラフィ法を用いて所定の形状にパターンニングすることにより、第4アルミ27からなるメタルヒューズあるいはボンディングパッドを形成するとともに、ダイシングライン領域12の第4コンタクトホールに埋め込まれた第4タングステン26上にはアライメントマーク27aを形成する。

【0036】この段階で、アライメントマーク27aは、下層のコンタクトホールに埋め込まれた導電性のプラグ

6

にコンタクトしており、しかも、このプラグおよび下層のアルミ配線（接続パターン）を通してシリコン基板51に電気的に接続された構造となっている。

【0037】次に、図6に示すように、 $\text{Si}_3\text{N}_4$ 膜のようなパッシベーション膜28を堆積し、フォトリソグラフィ法を用いて、ボンディングパッド29上のパッシベーション膜28をエッチングし、開口する。この時、ダイシングライン領域12のアライメントマーク27a上のパッシベーション膜28も、クラックを防止するためにエッチングされるので、アライメントマーク27aはオーバーエッチングされ露出する。

【0038】上記したようにアライメントマーク27aが側面までオーバーエッチングされて露出したとしても、アライメントマーク27aは下層のコンタクトホールに埋め込まれた導電性プラグに連なった構造となっているので、その後の工程でアライメントマーク27aが剥がれてしまうような問題は起きない。

【0039】即ち、上記第1の実施の形態のLSIによれば、最上層のメタル配線層で形成されているアライメントマーク27aは、下層の導電性プラグに連なった構造を有するので、アライメントマーク27aの形成後の工程でアライメントマーク27aが剥がれてしまうような問題は起きない。

【0040】したがって、ヒューズブロー用のアライメントマーク27aを検出できなくなるおそれはなくなり、ヒューズブローができなくなるという問題は発生しない。

【0041】＜第2の実施の形態＞第2の実施の形態では、第1の実施の形態によりアライメントマーク27aを形成した後、パンプ電極形成工程を行う。

【0042】図1乃至図8は、本発明の第2の実施の形態に係るアライメントマークを4層メタル配線構造を有するLSIに適用した場合の製造工程を示している。

【0043】即ち、第1の実施の形態で説明した図1乃至図6に示したような工程を経た後、図7に示すように、 $\text{Ti}/\text{Ni}/\text{Pd}$ のようなバリアメタル30を堆積し、パンプを形成しようとするボンディングパッド29の上方のバリアメタル30を開口するようにフォトレジスト31を形成する。そして、電解メッキ法などの手法により、ボンディングパッド29上のバリアメタル30上にAuパンプ32を成長させる。

【0044】次に、図8に示すように、フォトレジスト31を除去した後、パッシベーション膜28上に露出しているバリアメタル30を王水、エチレンジアミンテトラ酢酸などの溶液で除去し、Auパンプ32は残す。

【0045】この際、図6までの工程でアライメントマーク27aは、下層のコンタクトホールに埋め込まれた導電性プラグおよび下層のアルミ配線（接続パターン）を通してシリコン基板11に電気的に接続された（接地された）構造となっている。

7

【0046】したがって、前記アライメントマーク27aはチャージアップしないので、図8に示したように、パッシベーション膜28上に露出しているバリアメタル30を王水、エチレンジアミンテトラ酢酸などの溶液で除去する時に、バリアメタル30下のアルミからなるアライメントマークはエッチングされることがなく、アライメントマークが腐食することはない。したがって、ヒューズブロー用のアライメントマーク27aを検出できなくなってヒューズブローができなくなるという問題を回避することができる。

【0047】即ち、上記第2の実施の形態のLSIによれば、最上層のメタル配線層で形成されているアライメントマークは、下層のコンタクトホールに埋め込まれた導電性プラグおよび下層のアルミ配線（接続パターン）を通してシリコン基板11に電氣的に接続された（接地された）構造を有する。

【0048】したがって、ボンディングパッド形成以降の工程でアライメントマークが剥がれたり、パンプ形成工程でのチャージアップによりアライメントマークが腐食するといった問題を回避することができる。

【0049】

【発明の効果】上述したように本発明の半導体装置によれば、パッド開口工程に際してアライメントマークが側面までオーバーエッチングされて露出しても、その後の工程でアライメントマークが剥がれてしまうことを防止し、ヒューズブロー時にヒューズブロー用のアライメントマークの検出を可能とすることができる。

【0050】また、本発明の半導体装置によれば、パンプ電極部以外の領域に露出しているバリアメタルを溶液で除去する時にバリアメタル下のアライメントマークまでエッチングされてしまうことを防止し、ヒューズブロー時にヒューズブロー用のアライメントマークの検出を可能とすることができる。

【0051】即ち、請求項1およびそれに従属する請求項の発明によれば、アライメントマークが下層のコンタクトホールに埋め込まれたプラグと接続されているので、ボンディングパッド開口時にアライメントマークが側面までオーバーエッチングされて露出されたとしても、その後の工程でアライメントマークが剥がれてしまうような問題は起きない。

【0052】請求項2およびそれに従属する請求項の発明によれば、アライメントマークは、導電性プラグおよび下層の配線を通して半導体基板に電氣的に接続された（接地された）状態となっていてチャージアップしないので、アライメントマーク上のバリアメタルを溶液で除去する工程時にアライメントマークまでエッチングされることがない。

【0053】請求項5の発明によれば、アライメントマークは、導電性プラグおよび下層の配線を通して半導体

8

基板に電氣的に接続された（接地された）状態となっていてチャージアップしないので、パンプ工程に際して、パンプ電極部以外の領域に露出しているバリアメタルを溶液で除去する時にバリアメタル下のアライメントマークまでエッチングされることがない。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の製造工程の一部を示す断面図。

【図2】図1の工程に続く工程を示す断面図。

10 【図3】図2の工程に続く工程を示す断面図。

【図4】図3の工程に続く工程を示す断面図。

【図5】図4の工程に続く工程を示す断面図。

【図6】図5の工程に続く工程を示す断面図。

【図7】本発明の第2の実施の形態に係る半導体装置の製造工程の一部を示す断面図。

【図8】図7の工程に続く工程を示す断面図。

【図9】従来の半導体装置の製造工程の一部を示す断面図。

【図10】図9の工程に続く工程を示す断面図。

20 【図11】図10の工程に続く工程を示す断面図。

【図12】図11の工程に続く工程を示す断面図。

【図13】図12の工程に続く工程を示す断面図。

【図14】図13の工程に続く工程を示す断面図。

【図15】図14の工程に続く工程を示す断面図。

【図16】図15の工程に続く工程を示す断面図。

【図17】図16の工程に続く工程を示す断面図。

【符号の説明】

11…シリコン基板、

12…ダイシングライン領域、

30 13…素子分離領域、

14…拡散層、

15…MOSFETのゲート電極、

16…第1層間絶縁膜、

17…第1タングステン、

18…第1アルミ、

19…第2層間絶縁膜、

20…第2タングステン、

21…第2アルミ、

22…第3層間絶縁膜、

40 23…第3タングステン、

24…第3アルミ、

25…第4層間絶縁膜、

26…第4タングステン、

27…第4アルミ、

27a…第4アルミ（アライメントマーク）、

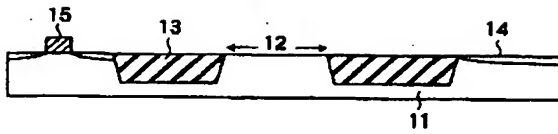
28…パッシベーション膜、

29…ボンディングパッド、

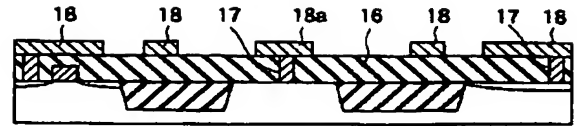
30…バリアメタル、

32…Auパンプ。

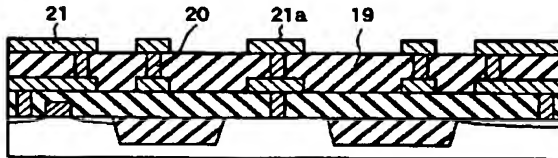
【図1】



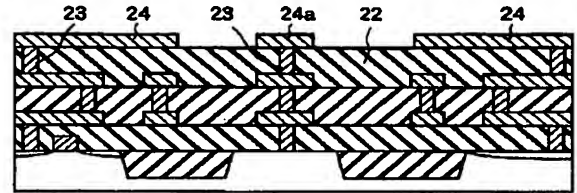
【図2】



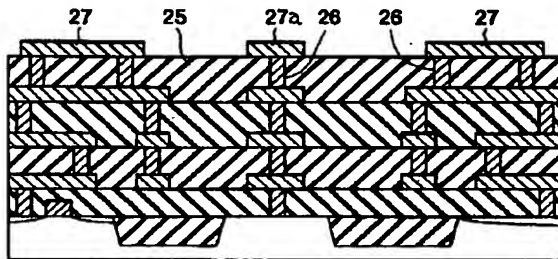
【図3】



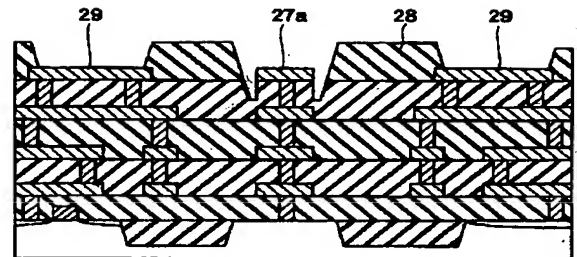
【図4】



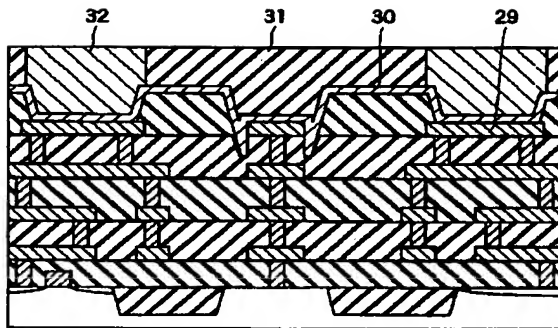
【図5】



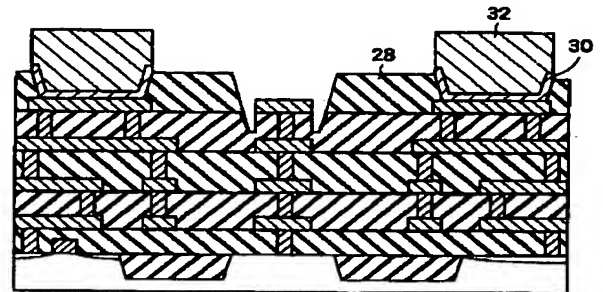
【図6】



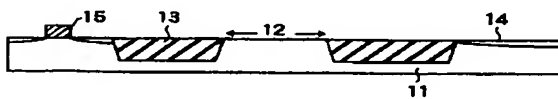
【図7】



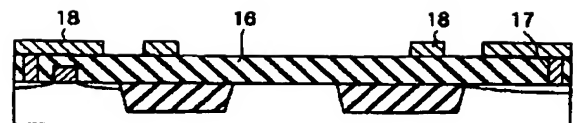
【図8】



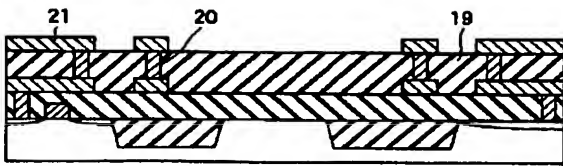
【図9】



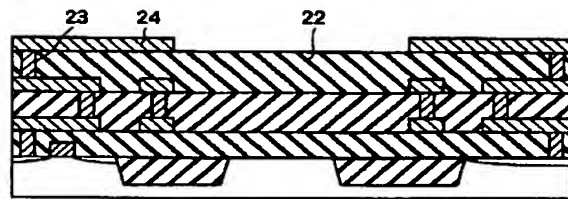
【図10】



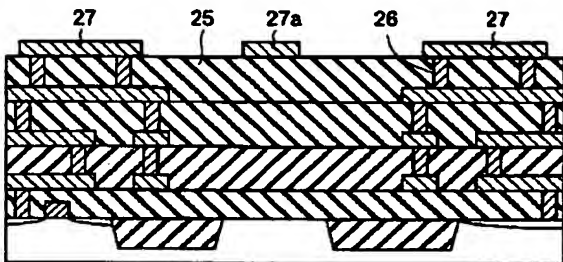
【図 11】



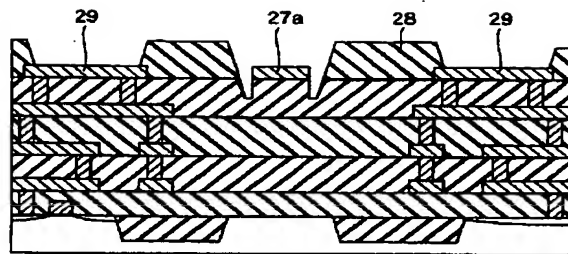
【図 12】



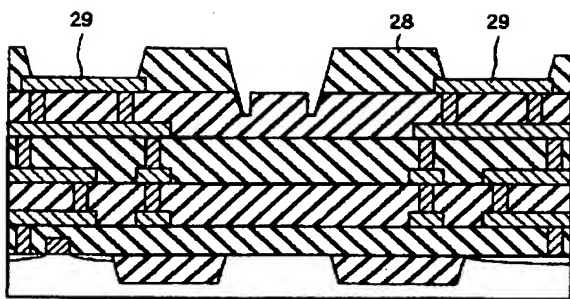
【図 13】



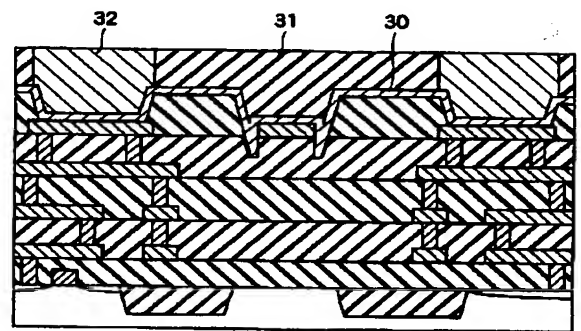
【図 14】



【図 15】



【図 16】



【図 17】

